

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 63-288047 (A) (43) 25.11.1988 (19) JP

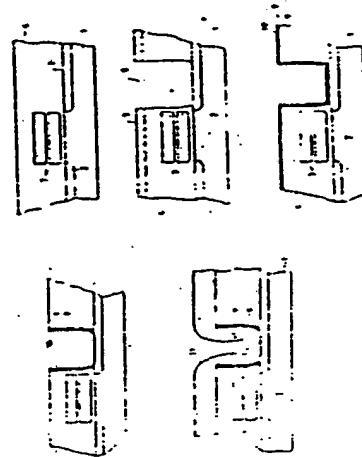
(21) Appl. No. 62-123396 (22) 20.5.1987

(71) TOSHIBA CORP (72) SEIICHI MORI

(51) Int. Cl. H01L21/30, H01L21/95

PURPOSE: To design a space between a contact hole and a lower-layer electrode layer at an exceedingly small value, and to improve the degree of integration of an element by insulating the contact hole and the lower-layer electrode layer from an upper electrode layer by subsequently deposited three-layer insulating films even when the contact hole and the lower-layer electrode layer are brought extremely near.

CONSTITUTION: A semiconductor device is composed of a P-type silicon substrate 1, an N⁺ diffusion layer 2, an EPROM cell 3 (corresponding to a first layer electrode-wiring layer) consisting of two-layer polysilicon and an inter-layer insulating film 4, and photolithography for boring a contact hole 6 is conducted. Three layer films of SiO₂ film 8, Si₃N₄ film 9, SiO₂ film 10 are deposited respectively in thickness such as 100 Å, 120 Å, 100 Å through an LPCVD method (a low pressure CVD method). The three layer films on the bottom of the contact hole are removed through an etchback method, and an Al layer 11 as a second layer (an upper layer) wiring layer is deposited, and patterned. Accordingly, the structure of two layer polysilicon and one-layer Al layer is completed.



⑤ Int. Cl.

H 01 L 21/90

21/95

識別記号

庁内整理番号

M-6708-5F

B-6708-5F

6708-5F

④ 公開 昭和63年(1988)11月25日

審査請求 有 発明の枚数 2 (全4頁)

発明の名称 半導体装置及びその製造方法

⑥ 特 願 昭62-123396

⑦ 出 願 昭62(1987)5月20日

⑧ 発 明 者 森 誠 一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑨ 出 願 人 株 式 会 社 東 芝

神奈川県川崎市幸区堀川町72番地

⑩ 代 理 人 弁 理 士 鈴 江 武 彦

外2名

明 記 要

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

① 2層以上の配線又は電極層を有し、このうちの下の配線又は電極層の上に絶縁絶縁層を有し、この絶縁絶縁層にコンタクトホールが開口され、このコンタクトホールを含み上層の配線又は電極層が設けられた半導体装置において、前記コンタクトホールの底面と上層の配線又は電極層との間に $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ より成る3層絶縁層を有することを特徴とする半導体装置。

② 半導体装置上に2層以上の配線又は電極層を有する半導体装置の製造方法において、下層の配線又は電極層を形成する工程と、前記下層の配線又は電極層上に絶縁絶縁層を形成する工程と、前記絶縁絶縁層にコンタクトホールを開口する工程と、前記コンタクトホールを含む絶縁絶縁層上に $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 又は

$\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ より成る3層絶縁層を形成する工程と、前記コンタクトホール底部の前記3層絶縁層をエッチバック法により除去し、前記コンタクトホール底面に前記3層絶縁層を残す工程と、前記コンタクトホールを含み上層の配線又は電極層を形成させる工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体装置の配線形成を改善した半導体装置及びその製造方法に関するもので、特にコンタクトホールと配線又は電極層の間の隙間が密着化されている超LSIデバイスに使用されるものである。

(従来の技術)

従来、超LSIのような微細なデバイスではコンタクトホールと下層の配線または電極層の間は、フォトリソグラフィ工程の合わせ関係によって決定されており、ある程度以上は小さくで

きない。特に下層の配線又は電極層の厚さが薄い場合やコンタクトホール径の大きさが小さい場合、コンタクトホールのアスペクト比が大きくなり、その為コンタクトの大きさを大きくしないと、その上に形成される金属配線層が切れを起こす問題が生ずる場合があり、コンタクトホールは可能な限り大きくする必要がある。その場合、コンタクトホールと下層電極層間の距離が近接し、コンタクトホール開口部形成する上部配線層と下層配線層とがショートする危険性が增大するので、コンタクトホールと下層電極層の距離をあまり小さくすることができない。

(見明が解決しようとする問題点)

上記問題を解決する手段として、コンタクトホール形成後コンタクトホール開口部に絶縁層を形成し、たとえコンタクトホール開口部に下層電極層とコンタクトホールが近接しても、後で形成する上部金属電極層と下層電極層がショートしないようにする方法が考えられる。しかし上記絶縁層には、両極性で高い電界強度と低欠陥密度さらに

高抵抗が必要される。上記絶縁層が無いとコンタクトホールの大きさが小さくなってしまい、微細デバイスに使用できない。例えば通常のCVD法で堆積させる SiO_2 膜では、電界強度も低く、欠陥密度が多いので、十分な信頼性は得られず当然信頼性は達成できない。

本発明は、下層配線又は電極層と、コンタクトホール開口部に形成する上部配線層との間に、深くかつ信頼性の高い絶縁層を堆積させることにより、コンタクトホールと下層配線又は電極層との間の距離をできるだけ短くして、素子の高集積化を達成するものである。

(発明の構成)

(問題点を解決するための手段と作用)

本発明は、下層電極又は配線層を形成後、局部絶縁層を形成し、次に、この局部絶縁層にコンタクトホールを開孔し、その後、上部の電極又は配線層を堆積する前に所定の SiO_2 、 Si_3N_4/SiO_2 又は $Si_3N_4/SiO_2/Si_3N_4$ の3層膜を堆積させる。上記コンク

トホール底部の上記3層膜を除去した後、上部の電極又は配線層を形成することによって、上記上部と下層の配線又は電極層は、たとえコンタクトホール開口部にコンタクトホールと下層電極層が非常に近接してしまっても、次に堆積する3層絶縁膜によって上部電極層とは絶縁される。また上記2層絶縁膜は欠陥密度が低く電界強度も大きいので、信頼性が可成り、その為、コンタクトホールの大きさが小さくなってしまっても最小限に抑えられる。これによりコンタクトホールと下層電極層の距離は、従来よりも大幅に小さく設計できる為、素子の高集積化が可能となるものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図ないし第5図は同実施例の製造工程図であつが、これは本発明を、第一層目の電極層の厚さが薄いEPROM(露光露消型PROM)に適用した場合の例である。第1図はコンタクトホールを形成する前の一般的なEPROMの断面

図で、1はP形シリコン基板、2は N^+ 拡散層で、3は2層ポリシリコンよりなるEPROMセル、第一層目の電極・配線層に相当)、4は局部絶縁膜である。その後コンタクトホール開口のためのフォトリソグラフィを行う。第2図に示すようにレジスト5を塗布し、フォトリソグラフィ工程によりレジスト5のパターニングを行ない、RIE(リアクティブ・イオン・エッチング)法によりコンタクトホール6を開孔する。この場合、コンタクトホール6とポリシリコン3間の距離が短いので、部分7でポリシリコン電極3の表面の絶縁膜が非常に薄くなっている。このまま第2層目(上層)の例えばA₁配線層を堆積させれば当然そのA₁配線層とポリシリコン電極3は絶縁膜中の欠陥等によりショートしてしまう確率が増す。そこで第3図に示すように例えばLPCVD法(ロープレッシャCVD法)により SiO_2 膜6/ Si_3N_4 膜9/ SiO_2 膜10の3層膜を例えばそれぞれ100/120・100Å堆積させる。この3層膜の欠陥密度は通常 0.01×10^{-10}

以下で、電界強度は特性によらず高30V以上、20V印加時のリーク電流も 10^{-9} A/cm²以下である。

上記3層膜と同様の特性はSi₃N₄/SiO₂/Si₃N₄の組み合わせでも実現できる。

次に第4図に示すようにエッチバック法によりコンタクトホール底部の3層膜を除去した後、第5図に示すように第2層目(上層)の配線層となるAl層11を増設し、パターニングする。これにより2層ポリシリコンと1層Al層の構造が完了した。

本発明によると、従来の下層電極とコンタクトホール間の距離を1μm程度に設計しなければならなかったのが、大幅に縮小できる。理論的には0μmとしてもショートは起こらないが、どこまで短くできるかは、下層の電極又は配線層の用途や材料等にも左右される。これにより高集積化が可能となると同時に、従来生じていた配線層間のショートを大幅に低減できる。

10—SiO₂膜、11—Al配線層。

出願人代理人 弁護士 藤 江 武 彦

なお本発明は3層膜にのみ限られるものではない。例えば本実施例では第1層にポリシリコン、第2層にAlを用いた場合について述べたが、これに限定されないことはもちろんである。

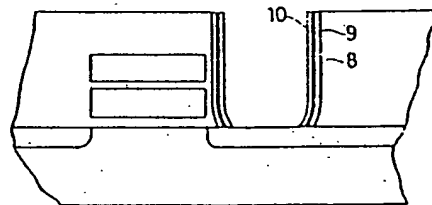
【発明の効果】

以上説明した如く本発明によれば下層電極又は電極層と、コンタクトホール開口部に形成した上層配線層との間に、漏れかつ信頼性の高い配線層を増設させることにより、コンタクトホールと下層配線又は電極層との間の距離をできるだけ短くして、集積の高集積化を達成することができるものである。

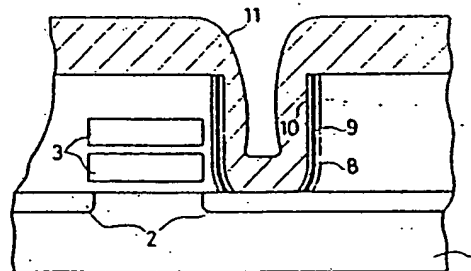
4. 図面の簡単な説明

第1図ないし第5図は本発明の一実施例の製造工程説明図である。

1—P型シリコン基板、2—P⁺配線層、3—2層ポリシリコン層、4—絶縁絶縁膜、5—フィールドレジスト、6—コンタクト開口部、7—絶縁となる膜、8—SiO₂膜、9—Si₃N₄膜、



第4図



第5図

BEST AVAILABLE COPY

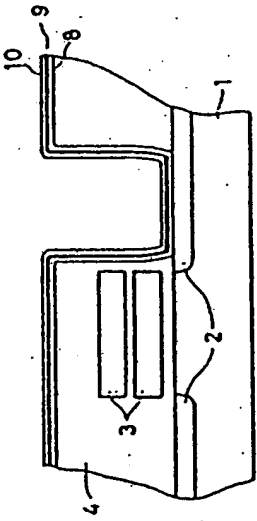


图 3 图

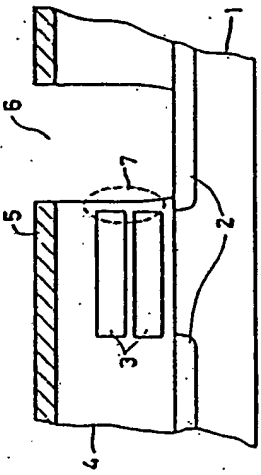


图 2 图

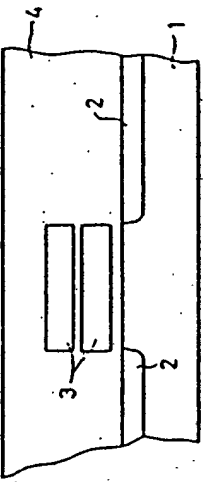


图 1 图